

8-16-02 #3  
#5



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets



Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

01830065.7

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

R C van Dijk

DEN HAAG, DEN  
THE HAGUE, 30/01/02  
LA HAYE, LE



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

**Blatt 2 d r Bescheinigung**  
**Sheet 2 of the certificate**  
**Page 2 de l'attestation**

Anmeldung Nr.:  
Application no.:  
Demande n°: 01830065.7

Anmeldetag:  
Date of filing:  
Date de dépôt: 31/01/01

Anmelder:  
Applicant(s):  
Demandeur(s):  
STMicroelectronics S.r.l.  
20041 Agrate Brianza (Milano)  
ITALY

Bezeichnung der Erfindung:  
Title of the invention:  
Titre de l'invention:  
A test access port (TAP) management method and system

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:  
State:  
Pays:

Tag:  
Date:  
Date:

Aktenzeichen:  
File no.  
Numéro de dépôt:

Internationale Patentklassifikation:  
International Patent classification:  
Classification internationale des brevets:

G01R31/3185

Am Anmeldetag benannte Vertragsstaaten:  
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR  
Etats contractants désignés lors du dépôt:

Bemerkungen:  
Remarks:  
Remarques:

See for title page 1 of the description

"Procedimento e sistema per la gestione di  
funzioni di Test Access Port (TAP)"

\* \* \*

Campo dell'invenzione

5        La presente invenzione si riferisce alla gestione  
delle funzioni di Test Access Port (TAP) ed è stata  
sviluppata con particolare attenzione alla possibile  
applicazione a sistemi su singolo chip (System On a  
Chip o, brevemente, SOC), in particolare in conformità  
10 con lo standard JTAG/IEEE 1149.1.

Descrizione della tecnica nota

Lo standard di prova JTAG/IEEE 1149.1 è stato  
sviluppato ed ha incontrato notevole successo con  
riferimento all'esigenza di superare problemi  
15 suscettibili di insorgere, ad esempio, nei package di  
tipo surface-mount, nelle schede con componenti montati  
su entrambe le facce (cosiddette double-sided boards),  
nei moduli multichip e, in generale, in tutte le  
situazioni in cui può venir meno la possibilità di  
20 accesso fisico a determinati segnali.

In particolare, lo standard in questione consente  
di sottoporre a prova circuiti che altrimenti non  
potrebbero essere sottoposti a prova, il che si traduce  
nella possibilità di ridurre notevolmente i tempi ed i  
25 costi di sviluppo e di commercializzazione di un  
prodotto.

Lo standard in questione consente di realizzare  
una configurazione di TAP basata su un'architettura  
correntemente denominata boundary-scan.

30        Questa soluzione si basa sulla possibilità di  
provvedere, nell'ambito di un circuito integrato,  
elementi circuitali suscettibili di attuare funzioni di  
prova, manutenzione e supporto del circuito, anche dopo  
che lo stesso è stato montato, ad esempio, su una  
35 scheda.

- 2 -

La circuitazione in questione comprende di solito un'interfaccia standard attraverso la quale vengono comunicate le istruzioni ed i dati di prova. Viene definito un insieme di caratteristiche di prova, compreso un cosiddetto registro di boundary-scan, facendo sì che il componente sia in grado di rispondere ad un insieme minimo di istruzioni definito in modo da consentire la prova del circuito.

In particolare, lo standard IEEE 1149.1 definisce l'architettura del TAP e dei relativi circuiti (essenzialmente basati su un registro a scorrimento) compresi in un dispositivo del tipo boundary-scan. Ciascun pin di segnale è collegato ad una cella del registro a scorrimento. Le celle in questione sono collegate in un cammino assimilabile ad un registro a scorrimento lungo la periferia o contorno (da qui la denominazione "boundary") del dispositivo, così da fornire un accesso virtuale ai pin di segnale. Utilizzando l'accesso virtuale fornito dall'architettura boundary-scan è possibile realizzare funzioni di prova, anche nell'ambito di circuiti piuttosto complessi, in condizioni in cui l'accesso fisico non è disponibile.

Il principale vantaggio della tecnica boundary-scan risiede nella possibilità di osservare dati sugli ingressi del dispositivo nonché dati di controllo sulle uscite del dispositivo stesso, tutto questo in modo indipendente dalla logica del sistema implementato sul chip.

Oltre a ciò, la tecnica boundary-scan fornisce una funzione diagnostica migliore rispetto alle tecniche di prova tradizionali. Di solito, una funzione di prova di tipo tradizionale prevede infatti di applicare determinate configurazioni di segnale ai pin di ingresso e di osservare quindi la risposta data dal

circuito in corrispondenza dei pin di uscita. Se sussiste un difetto in corrispondenza di uno qualsiasi dei pin di ingresso, le tecniche tradizionali di prova sono in grado di rilevare l'esistenza del difetto, ma  
5 richiedono in generale l'indagine abbastanza complessa per identificare quale pin di ingresso è difettoso. Al contrario, le celle di uno schema boundary-scan osservano la risposta del circuito monitorando i pin di ingresso, per cui una prova realizzata secondo la  
10 tecnica boundary-scan consente di determinare molto facilmente, ad esempio, quale pin di ingresso non fa contatto con il circuito; e questo anche senza realizzare il contatto fisico con il pin in questione.

Almeno in linea di principio, realizzando un  
15 insieme basato totalmente su componenti operanti secondo uno schema boundary-scan, i cammini a registro di scorrimento di tutti i dispositivi possono essere collegati così da formare un singolo cammino, il che consente di controllare e di osservare il comportamento  
20 di tutti i pin e di tutte le interconnessioni del dispositivo semplicemente da un connettore di bordo (edge connector).

#### Scopi e sintesi della presente invenzione

Tradizionalmente, nel caso di un sistema su  
25 singolo chip (SOC) la funzione di TAP viene utilizzata per due scopi principali.

In primo luogo, essa viene utilizzata per trattare tutti i segnali e le funzioni di controllo e di prova secondo lo standard JTAG/IEEE 1149.1.

30 In secondo luogo, essa viene utilizzata come collegamento esterno per il sistema di debugging presente sul chip.

Nel caso di sistemi SOC in cui sono integrati più chip può insorgere il problema dato dal fatto che le  
35 relative funzioni di TAP, l'una per la prova e l'altra

per il debugging, devono poter essere fatte funzionare sullo stesso chip impiegando la stessa interfaccia JTAG, dunque evitando una proliferazione dei relativi pin.

5        La presente invenzione si prefigge lo scopo di superare il suddetto problema.

Secondo la presente invenzione, tale scopo viene raggiunto grazie ad un procedimento ed un sistema aventi le caratteristiche richiamate in modo specifico  
10 nelle rivendicazioni che seguono.

In sostanza, la soluzione secondo l'invenzione prevede che, nell'ambito dei vari componenti compresi sullo stesso chip e provvisti di rispettive TAP, ciascuna delle funzioni TAP presenti un segnale di  
15 clock dedicato (TCK, DCK, ..., NCK) mentre gli altri segnali (TDI, TDO, TMS, NTRST) vengono condivisi.

L'esigenza di pilotare il relativo ingresso senza violare lo standard IEEE sopra citato e, allo stesso tempo, l'esigenza di utilizzare una funzione TAP per la  
20 prova e l'altra per il debugging senza interferenza reciproca viene risolta di preferenza aggiungendo un modulo di pull-down ai vari ingressi di clock dedicato TCK, DCK, ecc., così da eliminare il problema di pilotare l'ingresso.

25        Breve descrizione dei disegni annessi

L'invenzione verrà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni annessi, nei quali:

- la figura 1 illustra, sotto forma di uno schema  
30 a blocchi, l'architettura di un sistema operante secondo l'invenzione, e

- la figura 2 illustra, sempre sotto forma di schema a blocchi, alcuni dettagli realizzativi dell'architettura di sistema della figura 1.

Descrizione particolareggiata di un esempio di  
attuazione dell'invenzione

Lo schema a blocchi della figura 1 illustra in generale l'organizzazione della funzione TAP (tap controller) in un sistema SOC comprendente in generale  
5 una pluralità di singoli chip, ciascuno a sua volta provvisto di una rispettiva funzione TAP con rispettive connessioni di debugging.

Per fissare le idee (ma senza che questo debba  
10 essere interpretato in modo limitativo della portata dell'invenzione) una delle applicazioni realizzate dalla Richiedente prevede l'associazione, nell'ambito di un unico sistema SOC, indicato complessivamente con  
10 di due chip costituiti rispettivamente dal chip  
15 venduto dalla Richiedente con il nome commerciale di ST20 e dal chip venduto dalla società Hitachi con la denominazione commerciale di SuperH40.

I rispettivi moduli TAP sono indicati, limitatamente alle connessioni di debugging dai  
20 riferimenti 20 e 30.

Il riferimento numerico 40 indica invece l'insieme dei pin JTAG.

Si apprezzerà peraltro che la soluzione secondo l'invenzione è utilizzabile, in generale, in una  
25 configurazione comprendente un numero qualsiasi di chip.

In sostanza, la soluzione secondo l'invenzione prevede di impiegare, per comandare il funzionamento di ciascuna funzione TAP un clock dedicato (TCK, DCK, ...,  
30 NCK), condividendo invece gli altri segnali (TDI, TDO, TMI, NTRST).

La tabella riportata nel seguito fa vedere come ciò possa avvenire.

- 6 -

SEGNALE	UTILIZZATO PER:
TDI	TAP + UDI
TDO	TAP + UDI
TCK	Solo per TAP
NTRST	TAP + UDI
TMS	TAP + UDI
DCK	Solo per UDI

In particolare, la tabella fa vedere che i segnali TDI, TDO, NTRST e TMS (i significati di questi acronimi sono ben noti ai tecnici esperti del settore, e non richiedono quindi una descrizione particolareggiata in questa sede) possono essere utilizzati per entrambe le funzioni TAP (ossia tanto quella del chip ST20, indicata semplicemente con TAP, quanto per la omologa funzione del chip SuperH40, indicata correntemente come UDI).

Il segnale di clock TCK viene invece utilizzato solo per la funzione TAP del chip ST20, mentre il segnale DCK viene utilizzato solo per la funzione UDI del chip SuperH40.

I vari segnali TDI, TDO, NTRST e TMS possono quindi essere condivisi, in particolare per quanto riguarda i segnali destinati ad essere inoltrati, attraverso linee indicate complessivamente con 55, verso le singole connessioni di debugging.

L'esigenza di applicare selettivamente il segnale di clock TCK o DCK viene invece soddisfatta collegando i rispettivi blocchi generatori (indicati con sigle omonime nello schema della figura 2) ad una linea comune 50 che distribuisce i segnali di clock verso i vari moduli 20, 30, ecc. associando a ciascun clock una rispettiva funzione di pull-down.



Attraverso un rispettivo inverter 60, fungente anche da separatore di impedenza, il segnale logico presente sulla linea PD1, PD2 agisce in modo da isolare ovvero, rispettivamente, applicare il corrispondente  
5 clock sulla linea 50.

Nelle situazioni come quella ricorrente nel caso illustrato, i segnali di clock in gioco sono sostanzialmente due, ossia il segnale TCK ed il segnale DCK. Si apprezzerà peraltro che lo schema della figura  
10 1 fa in generale riferimento a un numero n qualsiasi di segnali di clock, e contiene pertanto il riferimento n DCK.

Così, ad esempio, volendo utilizzare la funzione TAP 20 del chip ST20, non viene utilizzato il clock di  
15 debug (DCK) che di fatto assume il valore 0. La funzione di TAP del chip Hitachi (UDI) è bloccata nello stato di Test Logic Reset, dal momento che la transizione dello stato ha luogo sul fronte di salita del clock.

20 La soluzione secondo l'invenzione risulta facile da implementare e non richiede alcun cambiamento a livello di celle IP. In più, non insorgono complessità circuitali a livello di pad, né apprezzabili differenze fra, ad esempio, esemplari di pre-produzione ed  
25 esemplari di produzione vera e propria.

Dallo schema della figura 1 si apprezzerà altresì che (anche nel caso in cui siano presenti un certo numero di chip diversi) non sono richiesti moduli di pull-up o di pull-down a livello di scheda.

30 La soluzione secondo l'invenzione risulta compatibile con schemi di emulazione a basso costo, in particolare con schemi di emulazione implementati attraverso il controllo del clock con l'impiego di un controllore JTAG in un ambiente di scansione.

La soluzione secondo l'invenzione risulta inoltre del tutto compatibile con generatori di clock interni, dunque a bordo del circuito, e risulta altresì trasparente nei confronti delle specifiche soluzioni  
5 adottate per la funzione di debugging, eventualmente in combinazione con architetture di tipo pipeline.

Naturalmente, fermo restando il principio dell'invenzione, i particolari di realizzazione e le forme di attuazione potranno essere ampiamente variati  
10 rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito della presente invenzione così come definito dalle rivendicazioni annesse.

## RIVENDICAZIONI

1. Procedimento per la gestione della funzione di Test Access Port (TAP) in una pluralità di componenti disposti su un unico chip (10), ciascuno di detti componenti essendo provvisto di una rispettiva funzione di TAP (20, 30, 40) suscettibile di essere pilotata da un rispettivo clock (TCK, DCK) e da almeno un ulteriore segnale (TDI, TDO, TMS, NTRST), caratterizzato dal fatto che comprende le operazioni di:
- 5                   - utilizzare detto almeno un ulteriore segnale (TDI, TDO, TMS, NTRST) in modo condiviso fra le funzioni di TAP dei componenti di detta pluralità, e
- 10                  - pilotare selettivamente le funzioni di TAP dei componenti di detta pluralità con rispettivi clock (TCK, DCK).
- 15                  2. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che comprende le operazioni di:
- generare rispettivi clock (DCK, TCK) per le
- 20                  funzioni di TAP dei componenti di detta pluralità, e
- associare a detti rispettivi clock (DCK, TCK) una funzione di pull-down.
3. Procedimento secondo la rivendicazione 2, caratterizzato dal fatto che comprende le operazioni di
- 25                  provvedere una linea comune (50) per l'applicazione di detti rispettivi clock (TCK, DCK) alle funzioni di TAP (20, 30, 40) dei componenti di detta pluralità.
4. Procedimento secondo la rivendicazione 2 o la rivendicazione 3, caratterizzato dal fatto che
- 30                  comprende l'operazione di generare detti rispettivi clock (TCK, DCK) a bordo di detto unico chip (10).
5. Sistema per la gestione della funzione di Test Access Port (TAP) in una pluralità di componenti disposti su un unico chip (10), ciascuno di detti
- 35                  componenti essendo provvisto di una rispettiva funzione

di TAP (20, 30, 40) suscettibile di essere pilotata da un rispettivo clock (TCK, DCK) e da almeno un ulteriore segnale (TDI, TDO, TMS, NTRST), caratterizzato dal fatto che comprende:

- 5           - almeno una linea (55) per l'utilizzazione di detto almeno un ulteriore segnale (TDI, TDO, TMS, NTRST) in modo condiviso fra le funzioni di TAP dei componenti di detta pluralità, e
- almeno un generatore di un rispettivo clock  
10 (TCK, DCK) per pilotare selettivamente le funzioni di TAP dei componenti di detta pluralità.

6. Sistema secondo la rivendicazione 5, caratterizzato dal fatto che comprende:

- generatori di rispettivi clock (DCK, TCK) per le  
15 funzioni di TAP dei componenti di detta pluralità, e
- almeno un modulo di pull-down (PD1, PD2, 60) associato a detti rispettivi clock (DCK, TCK).

7. Sistema secondo la rivendicazione 6, caratterizzato dal fatto che comprende una linea comune  
20 (50) per l'applicazione di detti rispettivi clock (TCK, DCK) alle funzioni di TAP (20, 30, 40) dei componenti di detta pluralità.

8. Sistema secondo la rivendicazione 6 o la rivendicazione 7, caratterizzato dal fatto che detti  
25 generatori di clock (TCK, DCK) sono disposti su detto unico chip (10).

- 11 -

## RIASSUNTO

Le funzioni di TAP (Test Access Port) di una pluralità di componenti disposti su un unico chip (10) vengono gestite pilotando selettivamente la funzione di  
5 TAP (20, 30, 40) di ciascuno dei componenti con rispettivi clock (TCK, DCK) mentre gli ulteriori segnali di pilotaggio della funzione TAP (TDI, TDO, TMS, NTRST) vengono utilizzati con modalità condivisa fra i vari componenti. Di preferenza, ai suddetti clock  
10 è associata una funzione di pull-down per annullare selettivamente i rispettivi clock in condizioni di mancato utilizzo. In modo preferito, i suddetti clock dedicati (DCK, TCK) vengono generati a bordo del chip  
(10).

15

(Figura 1)

1/1

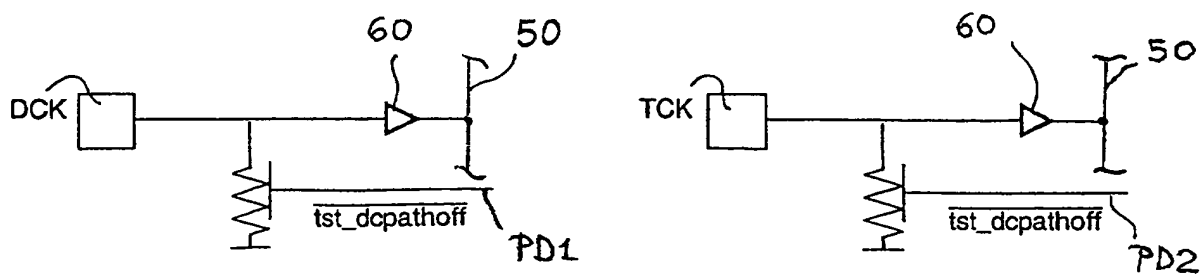
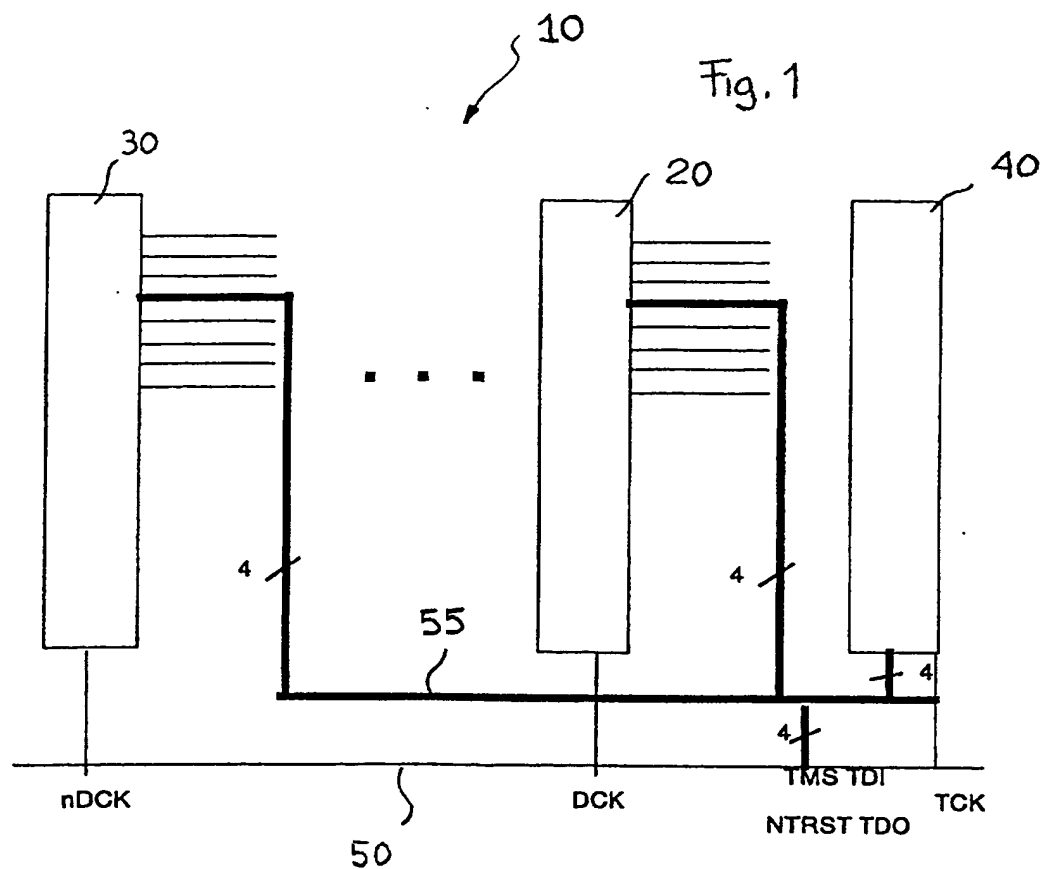


Fig. 2